

PCT/JP2004/016082

22.10.2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 4 月 2 7 日

出 願 番 号  
Application Number: 特 願 2 0 0 4 - 1 3 1 5 4 2  
[ST. 10/C]: [ J P 2 0 0 4 - 1 3 1 5 4 2 ]

出 願 人  
Applicant(s): 松下電器産業株式会社

REC'D 09 DEC 2004

WIPO

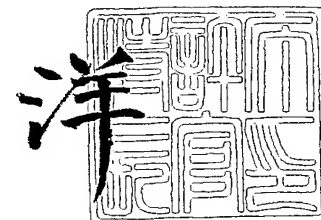
PCT

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年 1 1 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 1 0 7 4 5 4

【書類名】 特許願  
【整理番号】 2054051333  
【提出日】 平成16年 4月27日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 11/00  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 村岡 俊作  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 小佐野 浩一  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 高橋 健  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 下田代 雅文  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100077931  
    【弁理士】  
    【氏名又は名称】 前田 弘  
【選任した代理人】  
    【識別番号】 100094134  
    【弁理士】  
    【氏名又は名称】 小山 廣毅  
【選任した代理人】  
    【識別番号】 100110939  
    【弁理士】  
    【氏名又は名称】 竹内 宏  
【選任した代理人】  
    【識別番号】 100110940  
    【弁理士】  
    【氏名又は名称】 嶋田 高久  
【選任した代理人】  
    【識別番号】 100113262  
    【弁理士】  
    【氏名又は名称】 竹内 祐二  
【選任した代理人】  
    【識別番号】 100115059  
    【弁理士】  
    【氏名又は名称】 今江 克実  
【選任した代理人】  
    【識別番号】 100115691  
    【弁理士】  
    【氏名又は名称】 藤田 篤史  
    【電話番号】 06-6445-2128  
    【連絡先】 担当

【選任した代理人】  
【識別番号】 100117581  
【弁理士】  
【氏名又は名称】 二宮 克也  
【選任した代理人】  
【識別番号】 100117710  
【弁理士】  
【氏名又は名称】 原田 智雄  
【選任した代理人】  
【識別番号】 100121728  
【弁理士】  
【氏名又は名称】 井関 勝守  
【手数料の表示】  
【予納台帳番号】 014409  
【納付金額】 16,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0217869

## 【書類名】特許請求の範囲

## 【請求項 1】

与えられる電氣的パルスに応じてその抵抗値が変化する材料（可変抵抗材料）を用いた記憶素子であって、  
半導体基板上に形成されソース、ドレイン、およびゲートを有するトランジスタと、  
前記トランジスタの上部に形成される保護絶縁膜と、  
前記保護絶縁膜の上部に形成される導電膜と、  
前記導電膜の上部に形成されかつ前記可変抵抗材料によって構成される可変抵抗膜と、  
前記可変抵抗膜の上部に形成される 2 つの電極と、  
前記トランジスタのドレインおよびソースのうちいずれか一方と前記導電膜とを電氣的に接続するコンタクトプラグとを備える  
ことを特徴とする記憶素子。

## 【請求項 2】

請求項 1 において、  
前記導電膜は、  
前記可変抵抗膜のうち前記 2 つの電極の各々の直下に存在する部分と前記コンタクトプラグとを電氣的に接続することができる大きさを有する  
ことを特徴とする記憶素子

## 【請求項 3】

請求項 1 において、  
前記可変抵抗材料は、ペロブスカイト構造の酸化物である  
ことを特徴とする記憶素子。

## 【請求項 4】

請求項 3 において、  
前記ペロブスカイト構造の酸化物は、巨大磁気抵抗材料である  
ことを特徴とする記憶素子。

## 【請求項 5】

請求項 3 において、  
前記ペロブスカイト構造の酸化物は、高温超伝導材料である  
ことを特徴とする記憶素子。

## 【請求項 6】

請求項 1 において、  
前記可変抵抗材料は、イルメナイト構造の酸化物である  
ことを特徴とする記憶素子。

## 【請求項 7】

請求項 6 において、  
前記イルメナイト構造の酸化物は、非線形光学材料である  
ことを特徴とする記憶素子。

## 【請求項 8】

請求項 1 において、  
前記導電膜は、  
Pt, Ag, Au, Ir, Ru, Ti, Ta, Al, Cu, RuO<sub>3</sub>, RuO<sub>2</sub>, SrRuO<sub>3</sub>, LaCoO<sub>3</sub>, SrCoO<sub>3</sub>, LaSrCoO<sub>3</sub>, TiN, TiO<sub>x</sub>, YBa<sub>2</sub>Cu<sub>3</sub>O<sub>x</sub>, IrO<sub>2</sub>, TaSiN, MoN のうちのいずれか 1 つ、あるいはそれらの混合物から構成されている  
ことを特徴とする記憶素子。

## 【請求項 9】

請求項 1 において、  
前記電極は、  
Cu, Al, Ag, Pt, Au, Ir, Ru, Os, Ti, Ta, のうちのいずれか 1 つ、あるいはそれらの混合物から構成されていることを特徴とする記憶素子。

【書類名】明細書

【発明の名称】記憶素子

【技術分野】

【0001】

本発明は、電源を切っても記憶情報が消えない不揮発性の記憶素子および記憶素子の構造に関する。

【背景技術】

【0002】

近年、電子機器におけるデジタル技術の進展に伴い、画像などのデータを保存するために不揮発性メモリ素子の要望が大きくなってきており、さらに記憶素子の大容量化、書き込み電力の低減、書き込み／読み出し時間の高速化、長寿命化の要求がますます高まりつつある。現在、不揮発性メモリ素子としては半導体トランジスタのゲート部分に浮遊ゲートを設け、その浮遊ゲート内に電子を注入するメカニズムを用いて不揮発性を実現したフラッシュメモリが実用化され、デジタルカメラやパーソナルコンピュータの外部記憶素子として多く用いられている。

【特許文献1】米国特許第6, 204, 139号公報

【特許文献2】米国特許第6, 473, 332号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、フラッシュメモリは書き込み電力が大きい、書き込み時間が長い、書き換え寿命が短い、大容量化（素子の微細化）が困難等の多くの課題を有している。そのため、現在これらフラッシュメモリの課題を解決すべく、強誘電体を用いた半導体メモリ（FeRAM）、TMR（トンネルMR）材料を用いた半導体メモリ（MRAM）、相変化材料を用いた半導体メモリ（OUM）等の新規な不揮発性記憶素子の開発が盛んに行われている。しかし、これらの記憶素子もFeRAMに関しては素子の微細化が困難であり、MRAMに関しては書き込み電力が高い、OUMに関しては書き換え寿命が短い等の課題を有しており、不揮発性の固体記憶素子に対する全ての要望を満たす記憶素子がないのが現状である。

【0004】

本発明の目的は、記憶素子の大容量化、書き込み電力の低減、書き込み／読み出し時間の高速化、長寿命化の要求を満たす記憶素子を提供することである。

【課題を解決するための手段】

【0005】

この発明による記憶素子は、与えられる電氣的パルスに応じてその抵抗値が変化する材料（可変抵抗材料）を用いる。この記憶素子は、トランジスタと、保護絶縁膜と、導電膜と、可変抵抗膜と、2つの電極と、コンタクトプラグとを備える。トランジスタは、半導体基板上に形成されソース、ドレイン、およびゲートを有する。保護絶縁膜は、トランジスタの上部に形成される。導電膜は、保護絶縁膜の上部に形成される。可変抵抗膜は、導電膜の上部に形成されかつ可変抵抗材料によって構成される。2つの電極は、可変抵抗膜の上部に形成される。コンタクトプラグは、トランジスタのドレインおよびソースのうちいずれか一方と導電膜とを電氣的に接続する。

【0006】

上記記憶素子では、電極と導電膜との間に電氣的パルスが印加されると、可変抵抗膜のうち電極の直下に存在する領域（可変抵抗部）の抵抗値が変化する。つまり、可変抵抗部は複数の抵抗状態を有する。この複数の抵抗状態の各々に数値を対応付ければ、1ビットあるいは多ビットの情報を記憶することができる。また、トランジスタがスイッチの役割を果たすので、メモリセルとして用いることができる。

【0007】

好ましくは、上記導電膜は、上記可変抵抗膜のうち前記電極の直下に存在する部分とコ

ンタクトプラグとを電氣的に接続することができる大きさを有する。

【0008】

好ましくは、上記可変抵抗材料は、ペロブスカイト構造の酸化物である。

【0009】

好ましくは、上記ペロブスカイト構造の酸化物は、巨大磁気抵抗材料である。

【0010】

好ましくは、上記ペロブスカイト構造の酸化物は、高温超伝導材料である。

【0011】

好ましくは、上記可変抵抗材料は、イルメナイト構造の酸化物である。

【0012】

好ましくは、上記イルメナイト構造の酸化物は、非線形光学材料である。

【0013】

好ましくは、上記導電膜は、Pt, Ag, Au, Ir, Ru, Ti, Ta, Al, Cu, RuO<sub>3</sub>, RuO<sub>2</sub>, SrRuO<sub>3</sub>, LaCoO<sub>3</sub>, SrCoO<sub>3</sub>, LaSrCoO<sub>3</sub>, TiN, TiO<sub>x</sub>, YBa<sub>2</sub>Cu<sub>3</sub>O<sub>x</sub>, IrO<sub>2</sub>, TaSiN, MoNのうちのいずれかひとつ、あるいはそれらの混合物から構成されている。

【0014】

好ましくは、上記電極は、Cu, Al, Ag, Pt, Au, Ir, Ru, Os, Ti, Ta, のうちのいずれかひとつ、あるいはそれらの混合物から構成されていることを特徴とする。

【発明の効果】

【0015】

以上のように、従来の不揮発性固体記憶素子で課題となっていた、書き込み電力が高い、書き込み時間が長い、書き換え寿命が短い、大容量化（素子の微細化）が困難等の多くの課題を全て解決することができる不揮発性固体記憶素子を実現することができる。

【発明を実施するための最良の形態】

【0016】

以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一の符号を付しその説明は繰り返さない。

【0017】

（第1の実施形態）

＜全体構成＞

この発明の第1の実施形態による記憶素子の全体構成を図1に示す。この記憶素子1では、半導体基板101上にドレイン102aおよびソース102bを形成しゲート酸化膜103を介してゲート104を形成することによってトランジスタT1が形成され、そのトランジスタT1を保護絶縁膜105で覆い、その保護絶縁膜105上に導電膜107を形成し、その導電膜107上にスパッタリング法によって可変抵抗膜108を形成し、導電膜107とソース102bがコンタクトプラグ106によって接続され、可変抵抗膜108上に2つの電極109a、109bが形成されて一つの記憶素子を構成する構造となっている。電極109aと導電膜107との間に所定のパルス電圧が印加されると、可変抵抗膜108のうち電極109aの直下に存在する領域（可変抵抗部108a）の抵抗値が増加／減少する。また、電極109bと導電膜107との間に所定のパルス電圧が印加されると、可変抵抗膜108のうち電極109bの直下に存在する領域（可変抵抗部108b）の抵抗値が増加／減少する。この記憶素子1は、可変抵抗部108a、108bを1つのメモリセルM1として利用し、可変抵抗部108a、108bの抵抗変化を用いて1ビットあるいは多ビットの情報（ビットデータ）を記憶する。

【0018】

＜大きさ＞

保護絶縁膜105の膜厚は、ゲート104と導電膜107とが電氣的に接続しない程度の厚さであればよい。導電膜107の幅は、少なくともコンタクトプラグ106と可変抵抗部108a、108bとを電氣的に接続することができる程度の幅であればよい。電極109a、電極109bは、導電膜107の幅に収まる区域に形成すればよい。このよう

にすれば、導電膜 107 と電極 109a, 109b との間に電界を生じさせることができる。また、電極 109a と電極 109b との距離は、電極 109a と導電膜 107 との間で発生する電界が電極 109b に影響を及ぼさない程度の距離であればよい。このようにすれば、可変抵抗部 108a, 108b の各々に個別のパルス電圧を印加することができる。

#### 【0019】

なお、本実施形態では、図 1 に示した記憶素子 1 は、記憶素子 1 つあたりの幅を  $0.28\mu\text{m}$  とし、可変抵抗膜 108 の膜厚を  $0.05\mu\text{m}$  とし、保護絶縁膜 105 の膜厚を  $0.4\mu\text{m}$  とし、電極 109 の幅を  $0.09\mu\text{m}$  として構成されている。また、導電膜 107 の幅を記憶素子の幅と同様の  $0.28\mu\text{m}$  とし、電極 109a と電極 109b との距離を  $0.1\mu\text{m}$  とした。

#### 【0020】

##### <用いた材料>

本実施形態では、可変抵抗膜 108 として  $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$  (PCMO) からなる CMR 材料を用い、導電膜 107 には Pt、電極 109a, 109b には Ag を用いる。また、基板 101 には Si を用い、ゲート酸化膜 103 には  $\text{SiO}_2$ 、ゲート 104 にはポリ Si、コンタクトプラグ 106 には W (タングステン) を用いる。

#### 【0021】

##### <可変抵抗膜の特性>

次に、図 1 に示した可変抵抗膜 108 の特性について説明する。

#### 【0022】

可変抵抗膜 108 の特性を調べるために、図 2 (a), (b) に示すように、基板 201 上に下部電極 202 を形成し、下部電極 202 上に図 1 に示した可変抵抗膜 108 を形成し、可変抵抗膜 108 上に上部電極 203 を形成して、上部電極 202 および下部電極 203 をパルス電源 204 に接続する。このように構成した後、パルス電源 204 によって可変抵抗膜 108 に 2 種類のパルス電圧 (+ 極性パルス, - 極性パルス) を印加した。+ 極性パルスは上部電極 203 (電極 109a または電極 109b) が下部電極 202 (導電膜 107) に対して + 極性となるパルス電圧あり、- 極性パルスは上部電極 203 が下部電極 202 に対して - 極性となるパルス電圧である。ここでは、+ 極性パルスはパルス幅が  $10\text{nsec}$  であり電圧が  $+4\text{V}$  であるものとし、- 極性パルスはパルス幅が  $10\text{nsec}$  であり電圧が  $-4\text{V}$  であるものとする。また、基板 201 には Si, 下部電極 202 には Pt を用い、上部電極 203 には Ag を用いる。

#### 【0023】

##### [特性 $\alpha$ ]

図 2 (a) のように可変抵抗膜 108 の表面に対して上部電極 203 から + 極性パルスを 10 回印加すると、可変抵抗膜 108 のうち上部電極 203 の直下に存在する領域 (可変抵抗部 108a) の抵抗値 R は、図 2 (c) のように変化した。このように、本実施形態で用いた PCMO 膜 (可変抵抗部 108a) の抵抗値 R は、膜表面に対して + 極性パルスが印加された回数 (パルス数) に依存して増加し、10 パルス目で初期値の  $0.1\text{k}\Omega$  から  $9\text{k}\Omega$  まで増加した。

#### 【0024】

次に、可変抵抗部 108a の抵抗値 R を  $9\text{k}\Omega$  に増加させた後、図 2 (b) のように可変抵抗膜 108 の表面に対して下部電極 202 から + 極性パルス (上部電極 203 から - 極性パルス) を 10 回印加すると、可変抵抗部 108a の抵抗値は図 2 (c) のように変化した。このように、本実施形態で用いた PCMO 膜 (可変抵抗部 108a) の抵抗値 R は、膜表面に対して - 極性パルスが印加された回数 (パルス数) に依存して減少し、10 パルス目で  $9\text{k}\Omega$  から初期値の  $0.1\text{k}\Omega$  に戻った。すなわち、最初に印加したパルス電圧 (+ 極性パルス) に対して逆極性を有するパルス電圧 (- 極性パルス) を最初に印加したパルス電圧の回数 (10 パルス) と同じ回数だけ印加すると、増加/減少した抵抗値 R を初期の状態にリセットすることができる。

## 【0025】

ここで、可変抵抗膜108の上面に+極性パルスが印加されると抵抗値Rが増加し-極性パルスが印加されると抵抗値Rが減少する特性を特性 $\alpha$ とする。

## 【0026】

〔特性 $\beta$ 〕

また、PCMO膜の状態（メカニズムは不明）によっては、図3（a），（b），（c）に示すように可変抵抗膜108の表面に対して上部電極203から-極性パルスを印加すると抵抗値Rが増加し、+極性パルスを印加すると抵抗値Rが減少するものもある。

## 【0027】

ここで、可変抵抗膜108の上面に-極性パルスが印加されると抵抗値Rが増加し+極性パルスが印加されると抵抗値Rが減少する特性を特性 $\beta$ とする。

## 【0028】

## 〔抵抗値が変化する限界〕

また、可変抵抗膜108は、印加される電圧の絶対値（振幅）が所定のレベル以下であると、可変抵抗部108a，108bの抵抗値Rが変化しないという特性も有する。よって、所定のレベル以下の電圧を可変抵抗部108a，108bに印加することによって、可変抵抗部108a，108bの抵抗値Rを測定することが可能である。

## 【0029】

このように、可変抵抗部108a，108bの抵抗値Rは、印加されるパルス電圧の極性（パルス極性）とそのパルス電圧が印加される回数（パルス数）に応じて規則的に変化する。よって、異なる抵抗値の各々に特定の数値を割り当てることにより、可変抵抗部108a，108bに2値もしくは多値の情報（ビットデータ）を書き込むことが可能である。

## 【0030】

## &lt;回路記号の定義&gt;

ここで、上述のような特性を有する可変抵抗部108a，108bの回路図中での表記を図2（d），（e），図3（d），（e）と定義する。すなわち、記号の矢印の先端に+極性のパルス電圧が印加されると可変抵抗部108a，108bの抵抗値Rが増加し矢印の先端に-極性のパルス電圧が印加されると可変抵抗部108a，108bの抵抗値Rが減少すると定義すると、本特性を有する可変抵抗部108a，108bを回路図中に表記することができる。したがって、この可変抵抗部108a，108bの回路記号を用いて図1に示した可変抵抗部108aを図4のように回路図として表記することができる。

## 【0031】

## &lt;等価回路&gt;

図1に示された記憶素子1の等価回路を図4に示す。この回路は、可変抵抗部108a，108bからなるメモリセルM1と、トランジスタT1と、ワード線W1と、ビット線B1と、プレート線P1a，P1bとを備える。この回路は、記憶モード，リセットモード，および再生モードを有しており、メモリセルM1に2値もしくは多値の情報（ビットデータ）を記憶する。記憶素子1において、トランジスタT1のドレイン102aはビット線B1に接続され、トランジスタT1のゲート104はワード線W1に接続され、電極109aはプレート線P1aに接続され、電極109bはプレート線P1bに接続される。トランジスタT1は、ゲート104に所定の電圧が印加されると導通する。

## 【0032】

## &lt;記憶モード&gt;

図4に示したメモリセルM1に情報（ビットデータ）を記憶する記憶モードについて図5（a），（b）を参照しつつ説明する。なお、可変抵抗膜108の特性は特性 $\alpha$ であり、可変抵抗部108aの抵抗値は0.1k $\Omega$ に初期化されており、可変抵抗部108bの抵抗値は9k $\Omega$ に初期化されているものとする。

## 【0033】

まず、プレート線P1bに対して一組の電圧+2Vの+極性パルスと電圧+2Vの+極



性パルスからなるパルス電圧を印加するとともに、プレート線 P1a に対して一組の電圧 -2 V の一極性パルスと電圧 -2 V の一極性パルスからなるパルス電圧を印加する。

**【0034】**

次に、ワード線 W1 に所定の電圧を印加することによってトランジスタ T1 を導通させる。

**【0035】**

次に、ビット線 B1 に対して一組の電圧 +2 V の+極性パルスと電圧 -2 V の一極性パルスからなるパルス電圧が印加されると、そのパルス電圧はトランジスタ T1 を介して可変抵抗部 108a, 108b に印加される。可変抵抗部 108a の抵抗値 R は印加されたパルス電圧に応じて 0.1 k $\Omega$  から 9 k $\Omega$  に増加し、可変抵抗部 108b の抵抗値 R は印加されたパルス電圧に応じて 9 k $\Omega$  から 0.1 k $\Omega$  に減少する (図 5 (b) の 1~10 パルス目)。

**【0036】**

このように、ビット線 B1 に印加されるパルス電圧の回数 (パルス数) に応じて可変抵抗部 108a, 108b の抵抗値 R が段階的に増加/減少することにより、メモリセル M3 に情報が書き込まれる。つまり、可変抵抗部 108a, 108b の抵抗値 R によって記憶状態を設定することができる。例えば、可変抵抗部 108a の抵抗値 R が 0.1 k $\Omega$  であるときを「0」とし可変抵抗部 108a の抵抗値 R が 9 k $\Omega$  であるときを「1」とすると 2 値の情報を記憶することができる。

**【0037】****<リセットモード>**

図 4 に示したメモリセル M1 に書き込まれた情報を消去するリセットモードについて図 5 (a), (b) を参照しつつ説明する。なお、上述の記憶モードによって、可変抵抗部 108a の抵抗値 R は 9 k $\Omega$  になっているものとし、可変抵抗部 108b の抵抗値 R は 0.1 k $\Omega$  になっているものとする (図 5 (b) の 10 パルス目)。

**【0038】**

まず、プレート線 P1b に対して一組の電圧 -2 V の一極性パルスと電圧 -2 V の一極性パルスからなるパルス電圧を印加するとともに、プレート線 P1a に対して一組の電圧 +2 V の+極性パルスと電圧 +2 V の+極性パルスからなるパルス電圧を印加する。

**【0039】**

次に、ワード線 W1 に所定の電圧を印加することによってトランジスタ T1 を導通させる。

**【0040】**

次に、ビット線 B1 に対して一組の電圧 +2 V の+極性パルスと電圧 -2 V の一極性パルスからなるパルス電圧が印加されると、そのパルス電圧はトランジスタ T1 を介して可変抵抗部 108a, 108b に印加される。可変抵抗部 108b の抵抗値 R は印加されたパルス電圧に応じて 0.1 k $\Omega$  から 9 k $\Omega$  に増加し、可変抵抗部 108a の抵抗値 R は印加されたパルス電圧に応じて 9 k $\Omega$  から 0.1 k $\Omega$  に減少する (図 5 (b) の 11~20 パルス目)。

**【0041】**

このように、可変抵抗部 108a, 108b の各々に対して記憶モードのときに印加されたパルス電圧に対して逆の極性を有するパルス電圧を記憶モードのときにパルス電圧を印加した回数と同じ回数だけ印加すれば、メモリセル M3 に書き込まれた情報をリセットすることができる。つまり、可変抵抗部 108a, 108b の記憶状態を初期状態に戻すことができる。

**【0042】**

以上のような記憶モードおよびリセットモードを交互に 10 パルスずつ行くと、可変抵抗部 108a, 108b の抵抗値 R は図 5 (b) のように規則正しく変化する。

**【0043】****<再生>**

図4に示したメモリセルM1に書き込まれた情報(ビットデータ)を読み出す再生モードについて説明する。

【0044】

まず、プレート線P1aの電位がグランドに落とされた状態になる。

【0045】

次に、ワード線W1に所定の電圧を印加することによってトランジスタT1を導通させる。

【0046】

次に、プレート線P1bに再生電圧V0を印加する。なお、可変抵抗部108a, 108bの抵抗値の状態(記憶状態)を保持する必要があるため、印加する再生電圧V0の絶対値(振幅)は、記憶モードおよびリセットモードのときにビット線B1に印加されるパルス電圧(+極性パルスおよび-極性パルス)の絶対値(振幅)よりも小さいものとする。

【0047】

次に、プレート線P1bに印加された再生電圧V0が可変抵抗部108bに印加されるので、ビット線B1には可変抵抗部108bの抵抗値Rと可変抵抗部108aの抵抗値Rとの比に応じた出力電圧Voutが出力される。可変抵抗108bの抵抗値Rを「Rb」とし可変抵抗部108bの抵抗値Raの抵抗値Rを「Ra」とすると、ビット線B1に出力される出力電圧Voutは、 $Vout = Ra / (Ra + Rb) \times V0$  である。

【0048】

ここで、記憶モードにおけるパルス印加を10回行いさらにリセットモードにおけるパルス印加を10回行くと、可変抵抗部108a, 108bの抵抗値Rは、図6(a)のように変化した。また、パルス電圧が1回印加されるたびに再生モードを行いビット線B1に出力される出力電圧Voutを測定すると、図6(b)のようになった。図6(b)に示すように、可変抵抗部108a, 108bの抵抗値Rに応じてビット線B1に出力される出力電圧Voutが異なる。

【0049】

このように、異なる記録状態を分解能良く再生でき、1ビット情報のみならず他ビット情報を記録・再生することができる。例えば、可変抵抗部108aの抵抗値Rが0.1kΩのときの出力電圧Voutを「0」とし可変抵抗部108aの抵抗値Rが9kΩのときの出力電圧Voutを「1」とすることにより、1ビットの情報を読み出すことができる。

【0050】

<可変抵抗部の抵抗変化が小さいとき>

次に、可変抵抗部108a, 108bにおける抵抗値の変化が少ない場合について図7(a), (b)を参照しつつ説明する。

【0051】

一般に、記憶素子の特性は、異なるメモリアレイの間および同一メモリアレイ内に存在する記憶素子間でばらつく。このばらつきにより、各々の記憶素子の抵抗値変化が一定にならず、ある記憶素子では抵抗値の上限が所望する抵抗値よりも高くなりまたある記憶素子では抵抗値の下限が所望する抵抗値よりも低くなることもある。このように、メモリセルM1が生成される場所等の要因によってそのメモリセルM1を構成する可変抵抗部108a, 108bの抵抗変化が小さくなる場合がある。この場合、1つの可変抵抗部による抵抗変化によって情報を記憶する構成であると、その抵抗変化が少ない分解能が小さくなり書き込んだ情報を読み出すことができない可能性がある。一方、本実施形態のメモリセルM1は2つの可変抵抗部108a, 108bの各々の抵抗値が相補的に変化しそれらの分圧比を出力電圧Voutとしている。よって、例えば、図7(a)のように可変抵抗部108a, 108bの抵抗値Rが図6(a)の半分であっても、図7(b)のように出力電圧Voutは図6(b)に示したものとほぼ同一になる。このように、抵抗変化が場所によりばらついていても、異なる記録状態を分解能良く再生することができる。

## 【0052】

## &lt;効果&gt;

以上のように、本実施形態では、書き込みに要する時間が10nsecと極めて短く、書き込みに要する電圧も4Vと少ないため、従来の課題となっていた書き込み電圧、書き込み速度の低減、および長寿命化を実現することができる。

## 【0053】

また、2つの記憶素子101a, 101bを直列に接続して相補的に変化させる構成により、メモリ素子としての安定な動作および製造歩留まりを大幅に向上させることができる。

## 【0054】

また、記憶素子108a, 108bに印加される電氣的パルスの振幅が小さいほど記憶素子108a, 108bにおける抵抗変化率が低くなるが、出力電圧 $V_{out}$ はほぼ同一の値を示す。よって、書き込み時に印加する電氣的パルスの電圧をさらに小さくすることができる。

## 【0055】

また、本実施形態の記憶素子は、内部にトランジスタを備えているので、可変抵抗部108aをメモリセルとして利用することが可能である。例えば、本実施形態の記憶素子をマトリックス状に配置すれば、メモリアレイとして用いることができる。

## 【0056】

また、記憶領域である可変抵抗膜そのものはベタ膜のまま利用することができ微細加工をする必要がない構成としているので、従来の記憶素子と比較すると、量産化にも適している。

## 【0057】

また、電極109は導電膜107の幅に収まる区域に形成すればよいので、導電膜107を大きく形成すれば電極109を形成することができる区域が広がる。これにより、電極を容易に形成することができる。

## 【0058】

また、情報を書き込む方法として抵抗変化を利用しているので、高密度化のための微細化を行っても特に大きな問題がないという利点を有している。

## 【0059】

さらに、2つの可変抵抗部を一つのメモリセルとして可変抵抗値を相補的に変化させる構成により、記憶素子としての安定な動作および製造歩留まりを大幅に向上させることができる利点も有している。

## 【0060】

なお、可変抵抗膜108の特性は特性 $\beta$ であっても構わない。この場合、記憶モードおよびリセットモードの際に印加する電氣的パルスの極性を逆にすれば、同様の効果が得られる。

## 【0061】

なお、本実施形態では可変抵抗膜としては、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (PCMO)ペロブスカイト構造の酸化物を用いたが、他の巨大磁気抵抗材料、あるいは高温超伝導材料、具体的には例えば、 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ (PCMO)、 $\text{LaSrMnO}_3$ 、 $\text{GdBaCo}_x\text{O}_y$ 等やイルメナイト構造を有する $\text{LiNbO}_3$ 等の非線形光学材料を用いても同様の効果が実現できる。

## 【0062】

また、本実施形態で述べた可変抵抗膜であるペロブスカイト構造のPCMO材料の形成には、スパッタリング法を用いたが、他の薄膜形成方法であるCVD、MOCVD、スパインコート、レーザーアブレーション等の薄膜作成方法を用いてもなんら差し支えない。

## 【0063】

また、本実施形態では下部電極202および導電膜107にPtを用いたがそれだけに限るものではなく、Ag, Au, Ir, Ru, Ti, Ta, Al, Cu,  $\text{RuO}_3$ ,  $\text{RuO}_2$ ,  $\text{SrRuO}_3$ ,  $\text{LaCoO}_3$ ,  $\text{SrCoO}_3$ ,  $\text{LaSrCoO}_3$ , TiN,  $\text{TiO}_x$ ,  $\text{YBa}_2\text{Cu}_3\text{O}_x$ ,  $\text{IrO}_2$ , TaSiN, MoNのうちのいずれか1つ、あるいは

はそれらの混合物から構成されている材料を用いても同様の効果が得られる。

【0064】

また、本実施形態では上部電極 203 および電極 109a, 109b に Cu を用いたがそれだけに限るものではなく、Al, Ag, Pt, Au, Ir, Ru, Os, Ti, Ta のうちのいずれか 1 つ、あるいはそれらの混合物から構成されている材料を用いても同様の効果が得られた。

【0065】

(第 2 の実施形態)

<構造>

この発明の第 2 の実施形態による記憶素子 2 の構造を図 8 に示す。この記憶素子 2 では、図 1 に示した可変抵抗膜 108 のうち可変抵抗部 108a と 108b との間に存在する領域が削除されている。その他の構造は図 1 と同様である。

【0066】

<大きさ>

なお、本実施形態では、図 8 に示した記憶素子 2 は、記憶素子 1 つあたりの幅を  $0.25\mu\text{m}$  とし、可変抵抗膜 108 の膜厚を  $0.1\mu\text{m}$  とし、保護絶縁膜 105 の膜厚を  $0.4\mu\text{m}$  とし、電極 109 の幅を  $0.09\mu\text{m}$  として構成されている。また、導電膜 107 の幅を記憶素子の幅と同様の  $0.25\mu\text{m}$  とし、電極 109a と電極 109b との距離を  $0.07\mu\text{m}$  とした。

【0067】

<効果>

以上のように、可変抵抗部 108a と可変抵抗部 108b と間に可変抵抗膜 108 が存在していないので、電極 109a と導電膜 107 との間で発生する電界が電極 109b に影響を及ぼさない。よって、第 1 の実施形態と比較すると、電極 109a と電極 109b との距離を縮めることができ、記憶素子のサイズを小さくすることができる。

【0068】

(第 3 の実施形態)

<構造>

この発明の第 3 の実施形態による記憶素子 3 の構造を図 9 に示す。この記憶素子 2 では、図 8 に示した可変抵抗膜 108 に代えて、特性  $\alpha$  を有する可変抵抗膜 308 $\alpha$  と特性  $\beta$  を有する可変抵抗膜 308 $\beta$  とを備える。可変抵抗膜 308 $\alpha$  と可変抵抗膜 308 $\beta$  とは、互いに電界の影響が及ぼされない程度の距離で離れて形成される。電極 109a は、可変抵抗膜 308 $\beta$  上に形成される。電極 109b は、可変抵抗膜 308 $\alpha$  上に形成される。電極 109a と導電膜 107 との間に所定のパルス電圧が印加されると、可変抵抗膜 308 $\beta$  のうち電極 109a の直下に存在する領域 (可変抵抗部 308a) の抵抗値が増加/減少する。電極 109b と導電膜 107 との間に所定のパルス電圧が印加されると、可変抵抗膜 308 $\alpha$  のうち電極 109b の直下に存在する領域 (可変抵抗部 308b) の抵抗値が増加/減少する。その他の構造は図 8 と同様である。

【0069】

<大きさ>

なお、本実施形態では、図 9 に示した記憶素子 2 は、記憶素子 1 つあたりの幅を  $0.25\mu\text{m}$  とし、可変抵抗膜 108 の膜厚を  $0.1\mu\text{m}$  とし、保護絶縁膜 105 の膜厚を  $0.4\mu\text{m}$  とし、電極 109 の幅を  $0.09\mu\text{m}$  として構成されている。また、導電膜 107 の幅を記憶素子の幅と同様の  $0.25\mu\text{m}$  とし、電極 109a と電極 109b との距離を  $0.07\mu\text{m}$  とした。

【0070】

<等価回路>

本実施形態による記憶素子 2 の等価回路を図 9 に示す。記憶素子 3 は、記憶素子 1 と同様に、記憶モード、リセットモード、および再生モードを有しており、メモリセル M3 に 2 値あるいは多値の情報 (ビットデータ) を記憶する。図 9 に示した可変抵抗部 308b は、図 4 に示した可変抵抗部 108b と比較すると、回路記号の矢印の方向が逆になって

いる。

#### 【0071】

##### <記憶モード>

図10に示したメモリセルM3に情報(ビットデータ)を記憶する記憶モードについて図11(a), (b)を参照しつつ説明する。なお、可変抵抗部308aの抵抗値は0.1k $\Omega$ に初期化されており、可変抵抗部308bの抵抗値は9k $\Omega$ に初期化されているものとする。

#### 【0072】

まず、プレート線P1a, P1bの電位をグランドに落とした状態にする。

#### 【0073】

次に、ワード線W1に所定の電圧を印加することによってトランジスタT1を導通させる。

#### 【0074】

次に、ビット線B1に+極性パルスが印加されると、その+極性パルスはトランジスタT1を介して可変抵抗部308a, 308bに印加される。可変抵抗部308aの抵抗値Rは印加された+極性パルスに応じて減少し、可変抵抗部308bの抵抗値Rは印加された+極性パルスに応じて増加する。

#### 【0075】

ここで、ビット線B1に図11(a)のような電圧+4Vの+極性パルスが10回印加されると、可変抵抗部308aの抵抗値Rはビット線B1に印加される+極性パルスの回数(パルス数)が増加するにしたがって0.1k $\Omega$ から9k $\Omega$ に増加し、可変抵抗部308bの抵抗値Rはビット線B1に印加される+極性パルスの回数(パルス数)が増加するにしたがって9k $\Omega$ から0.1k $\Omega$ に減少する(図11(b)の1~10パルス目)。

#### 【0076】

このように、ビット線B1に印加される+極性パルスの回数(パルス数)に応じて可変抵抗部308a, 308bの抵抗値Rが段階的に増加/減少することにより、メモリセルM3に情報が書き込まれる。つまり、可変抵抗部308a, 308bの抵抗値Rによって記憶状態を設定することができる。

#### 【0077】

##### <リセットモード>

図10に示したメモリセルM3に書き込まれた情報を消去するリセットモードについて図11(a), (b)を参照しつつ説明する。なお、上述の記憶モードによって、可変抵抗部308aの抵抗値Rは9k $\Omega$ になっているものとし、可変抵抗部308bの抵抗値Rは0.1k $\Omega$ になっているものとする(図11(b)の10パルス目)。

#### 【0078】

まず、プレート線P1a, P1bの電位をグランドに落とした状態にする。

#### 【0079】

次に、ワード線W1に所定の電圧を印加することによってトランジスタT1を導通させる。

#### 【0080】

次に、ビット線B1に-極性パルスが印加されると、その-極性パルスはトランジスタT1を介して可変抵抗部308a, 308bに印加される。可変抵抗部308aの抵抗値Rは印加された-極性パルスに応じて増加し、可変抵抗部308bの抵抗値Rは印加された-極性パルスに応じて減少する。

#### 【0081】

ここで、ビット線B1に図11(a)のような電圧-2Vを有する-極性パルスが10回印加されると、可変抵抗部308aの抵抗値Rはビット線B1に印加される-極性パルスの回数(パルス数)が増加するにしたがって9k $\Omega$ から0.1k $\Omega$ に減少し、可変抵抗部308bの抵抗値Rは、ビット線B1に印加される-極性パルスの回数(パルス数)が増加するにしたがって0.1k $\Omega$ から9k $\Omega$ に増加する(図11(b)の11~20パルス目)。

ス目)。

#### 【0082】

このように、記憶モードのときに印加した+極性パルスに対して逆の極性を有する一極性パルスを記憶モードのときに+極性パルスを印加した回数と同じ回数だけ印加すれば、メモリセルM3に書き込まれた情報をリセットすることができる。つまり、可変抵抗部308a, 308bの記憶状態を初期状態に戻すことができる。

#### 【0083】

以上のような記憶モードおよびリセットモードを交互に10パルスずつ行くと、可変抵抗部308a, 308bの抵抗値Rは図11(b)のように規則正しく変化する。

#### 【0084】

##### <再生>

図10に示したメモリセルM3に書き込まれた情報(ビットデータ)を読み出す再生モードは、第1の実施形態と同様である。

#### 【0085】

##### <効果>

以上のように、可変抵抗部108aと可変抵抗部108bと間に可変抵抗膜108が存在していないので、電極109aと導電膜107との間で発生する電界が電極109bに影響を及ぼさない。よって、第1の実施形態と比較すると、電極109aと電極109bとの距離を縮めることができ、記憶素子のサイズを小さくすることができる。

#### 【0086】

また、可変抵抗部108a, 108bの特性に応じたパルス電圧を印加することによって、可変抵抗部108a, 108bの抵抗値を相補的に変化させることができる。これにより、記憶素子3をメモリセルとして利用することが可能である。

#### 【0087】

なお、本実施形態では、可変抵抗部108aの特性が特性 $\beta$ であり可変抵抗部108bの特性が特性 $\alpha$ であるが、これに限らず、可変抵抗部108aの特性が特性 $\alpha$ であり可変抵抗部108bの特性が特性 $\beta$ である場合も同様の作用・効果を得ることが可能である。

#### 【産業上の利用可能性】

#### 【0088】

以上のように、本発明にかかる記憶素子は、低電力、高速書き込み・消去、大容量化が可能であり、安価で安定に歩留まり良く製造、実現することができるという効果を有し、メモリ等として有用である。

#### 【図面の簡単な説明】

#### 【0089】

【図1】この発明の第1の実施形態による記憶素子1の構造を示す構成図である。

【図2】図1に示した可変抵抗膜108の特性を示す図である。

【図3】図1に示した可変抵抗膜108の特性を示す図である。

【図4】図1に示した記憶素子1の等価回路を示す回路図である。

【図5】記憶モードおよびリセットモードにおける可変抵抗部108a, 108bの抵抗変化を示す図である。

【図6】再生モードにおける可変抵抗部108a, 108bの抵抗値と出力電圧との関係を示す図である。

【図7】可変抵抗部108a, 108bの抵抗値が1/2である場合における可変抵抗部108a, 108bの抵抗値と出力電圧との関係を示すグラフである。

【図8】この発明の第2の実施形態による記憶素子2の構造を示す構成図である。

【図9】この発明の第3の実施形態による記憶素子2の構造を示す構成図である。

【図10】この発明の第3の実施形態による記憶素子3の等価回路を示す回路図である。

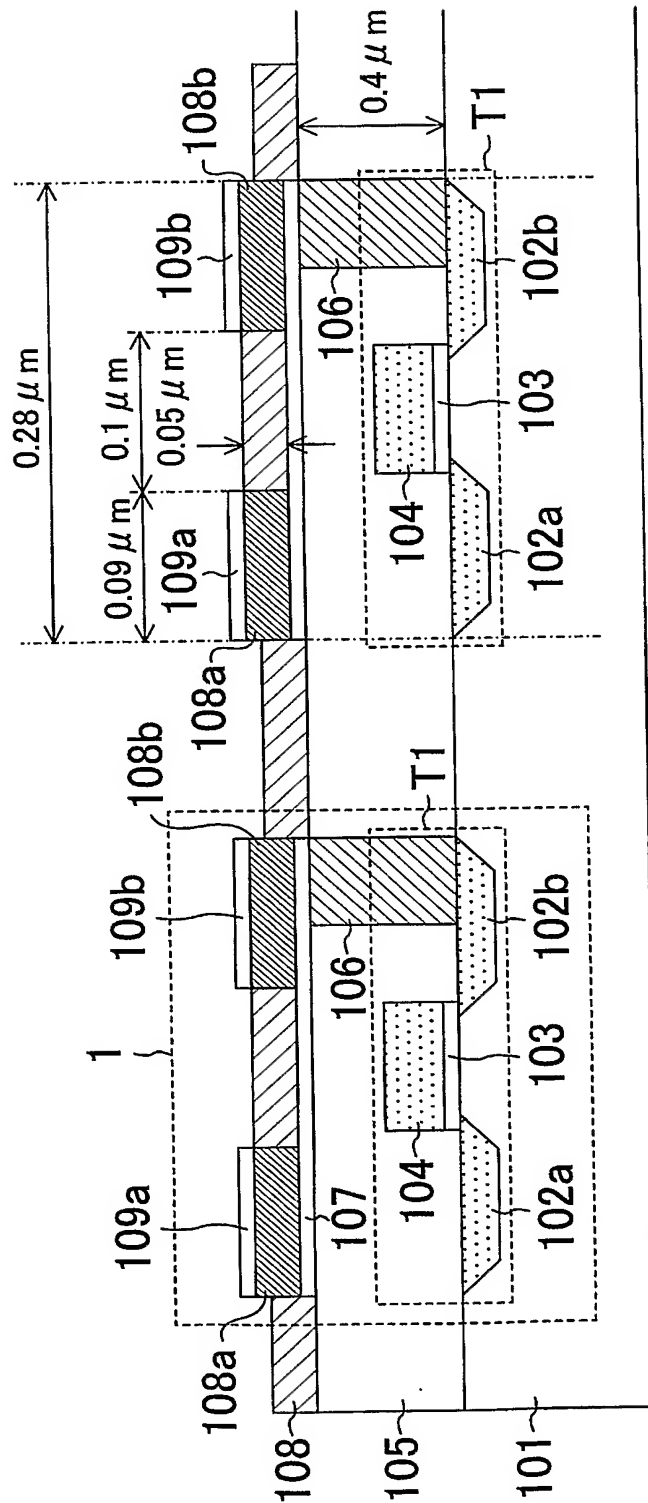
【図11】記憶モードおよびリセットモードにおける可変抵抗部308a, 308bの抵抗変化を示す図である。

## 【符号の説明】

## 【0 0 9 0】

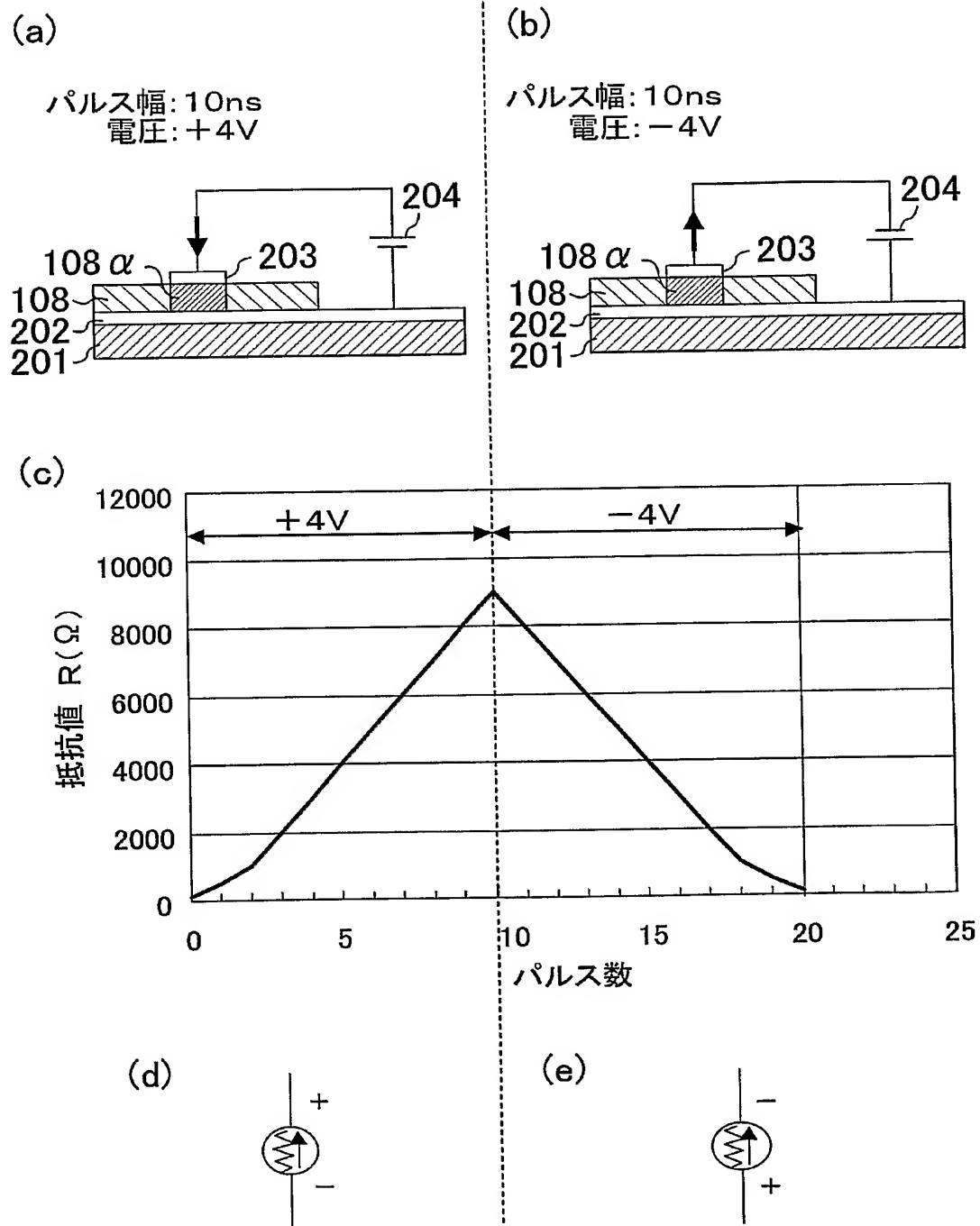
1, 2, 3      記憶素子  
1 0 1, 2 0 1      基板  
1 0 2 a      ドレイン  
1 0 2 b      ソース  
1 0 3      ゲート絶縁膜  
1 0 4      ゲート  
1 0 5      保護絶縁膜  
1 0 6      コンタクトプラグ  
1 0 7      導電膜  
1 0 8, 3 0 8  $\alpha$ , 3 0 8  $\beta$       可変抵抗膜  
1 0 9 a, 1 0 9 b      電極  
T 1      トランジスタ  
1 0 8 a, 1 0 8 b, 3 0 8 a, 3 0 8 b      可変抵抗部  
2 0 2      下部電極  
2 0 3      上部電極  
2 0 4      パルス電源  
W 1      ワード線  
B 1      ビット線  
P 1      プレート線  
M 1, M 3      メモリセル

【書類名】 図面  
【図 1】

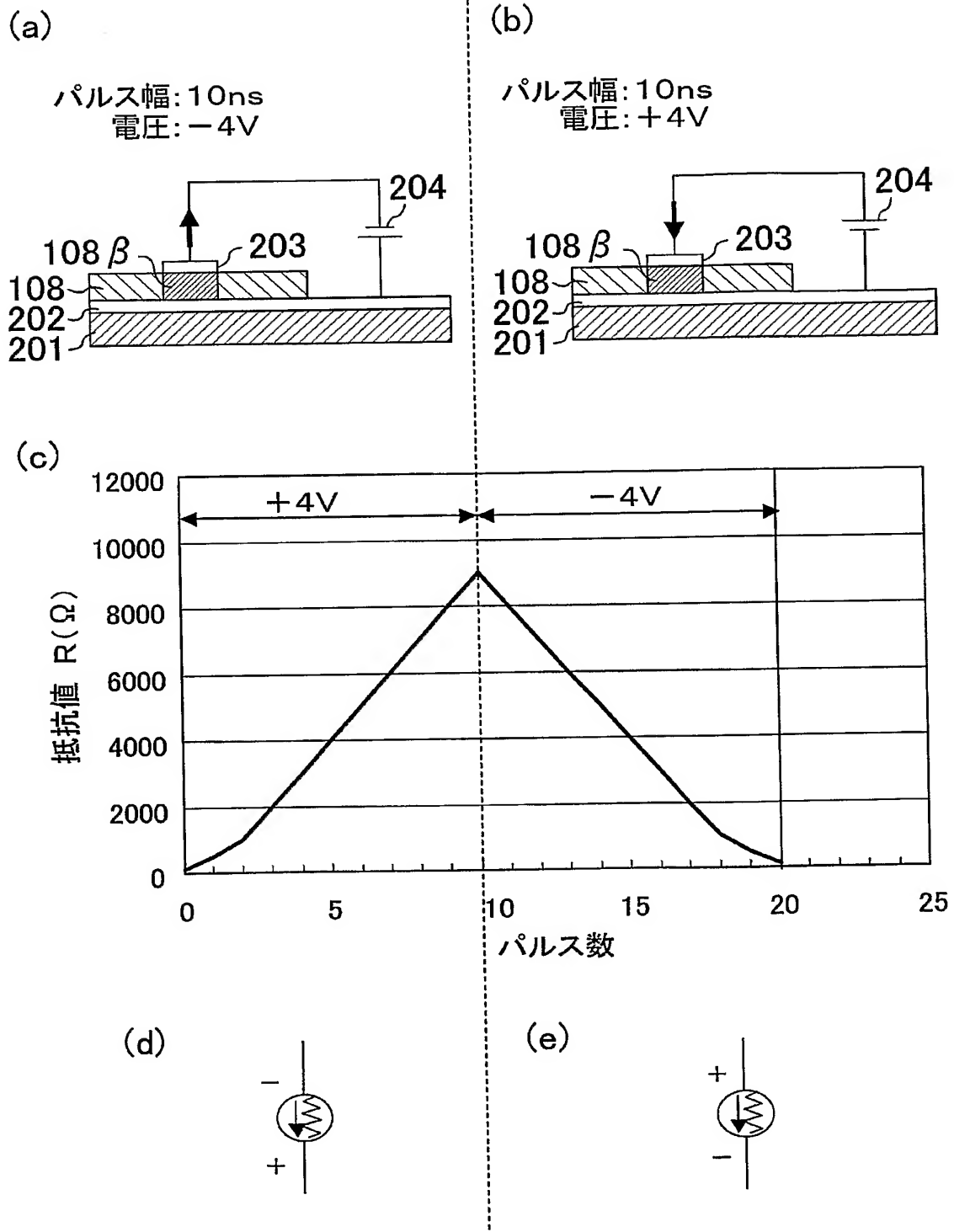




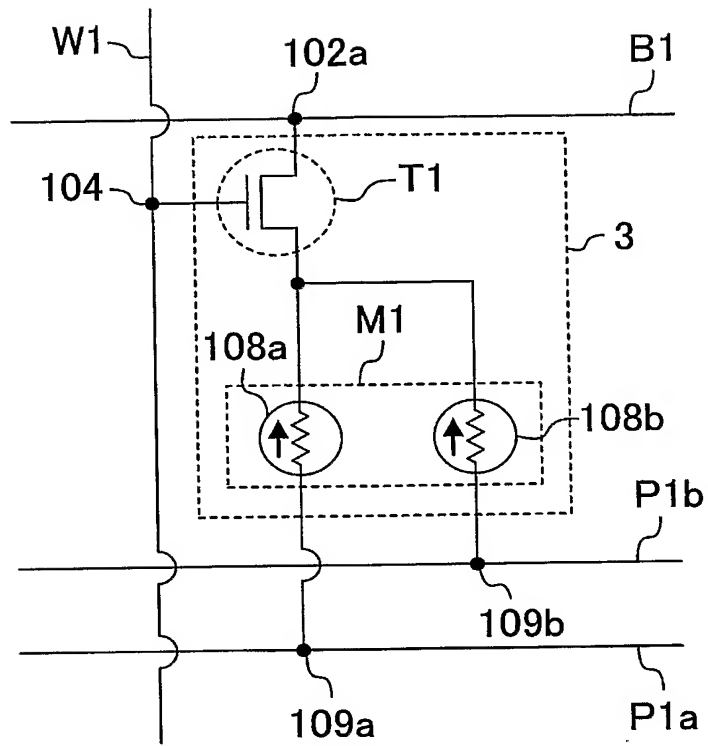
【図 2】



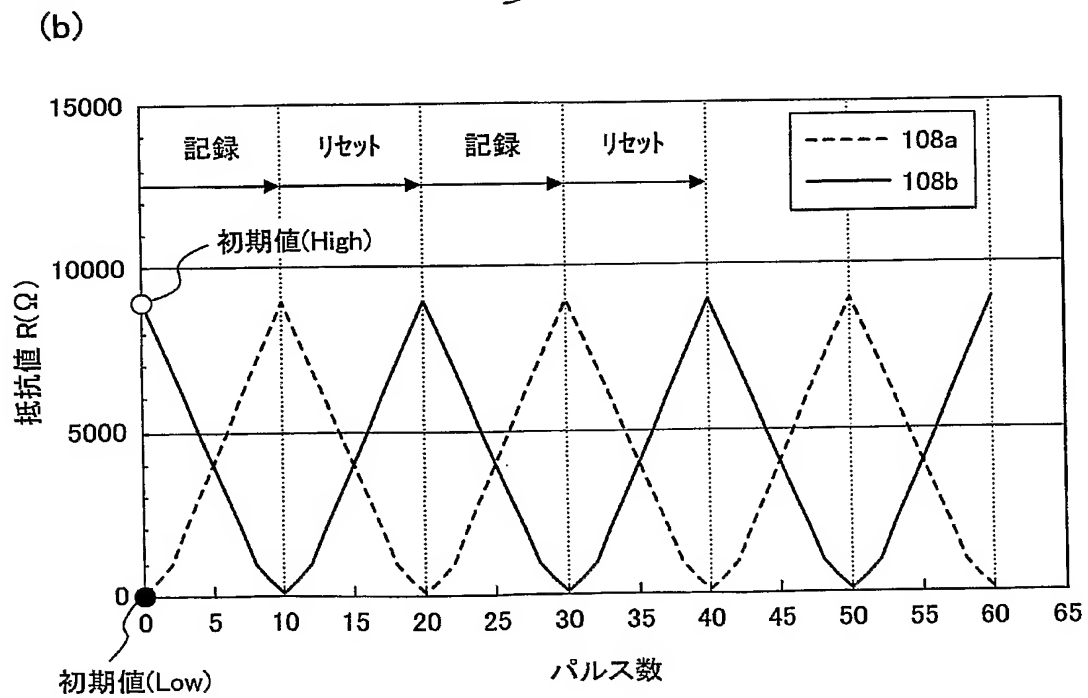
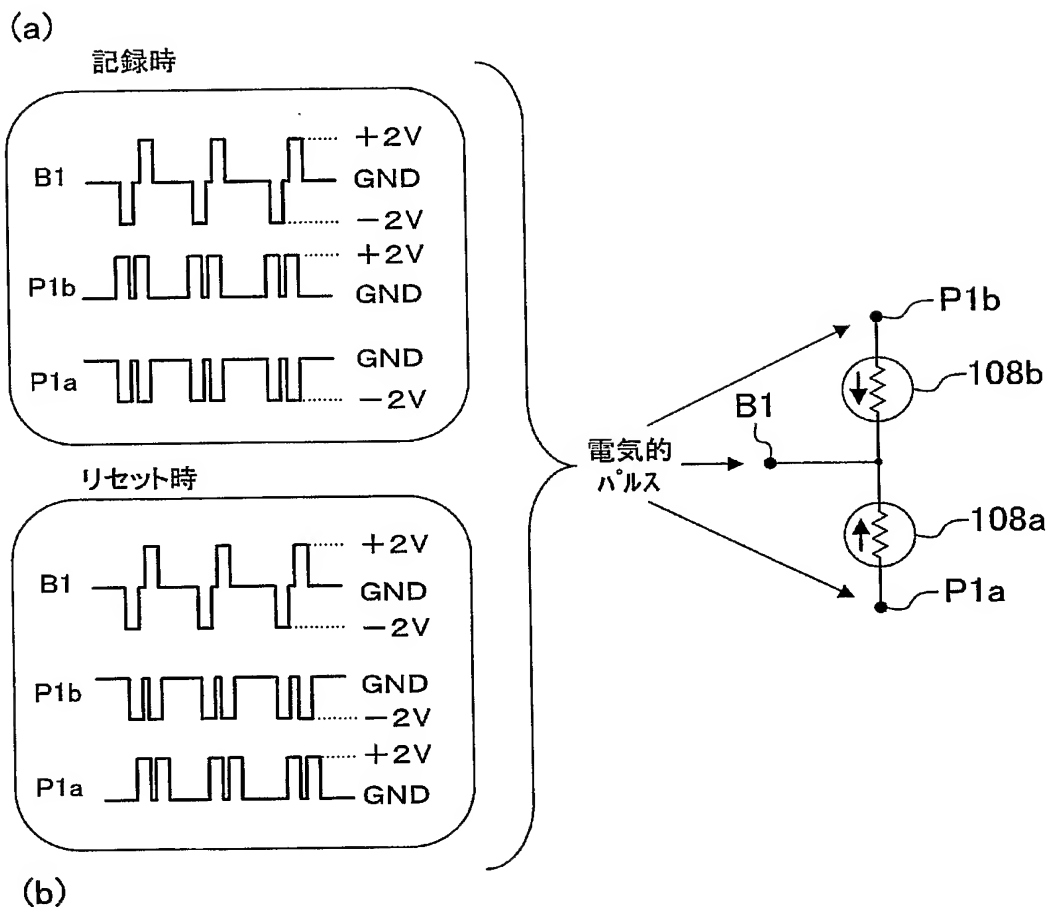
【図 3】



【図 4】

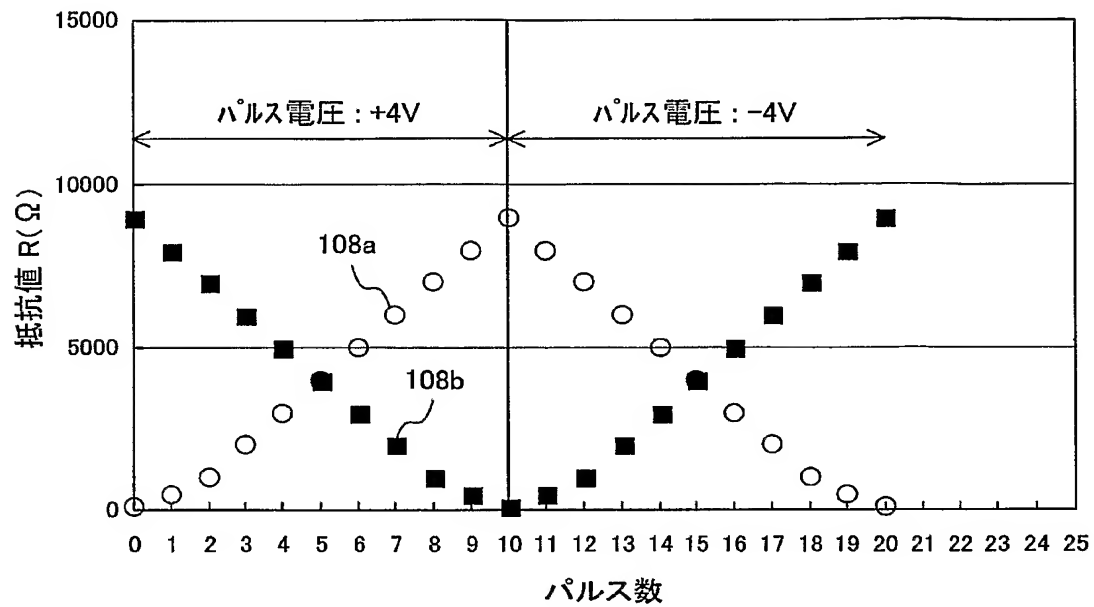


【図 5】

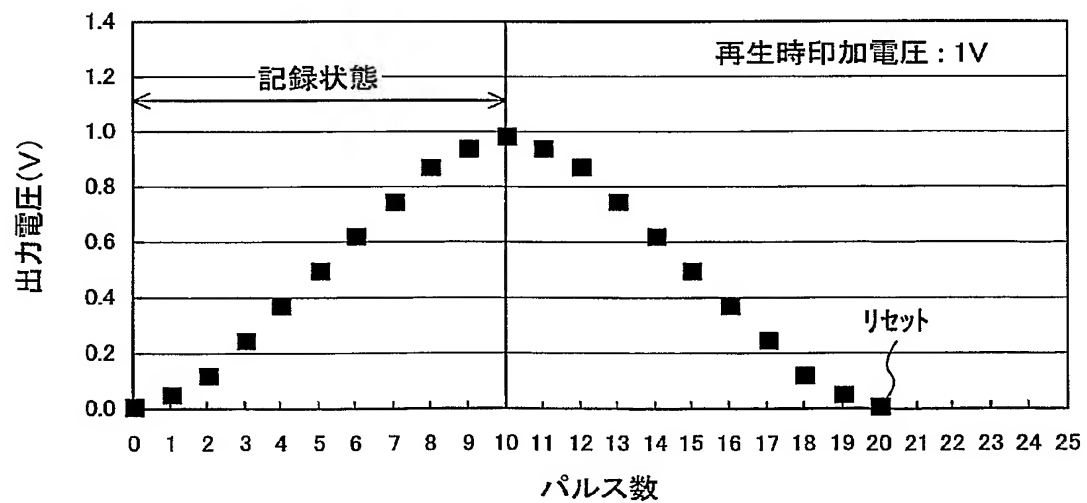


【図 6】

(a) パルス数による抵抗変化

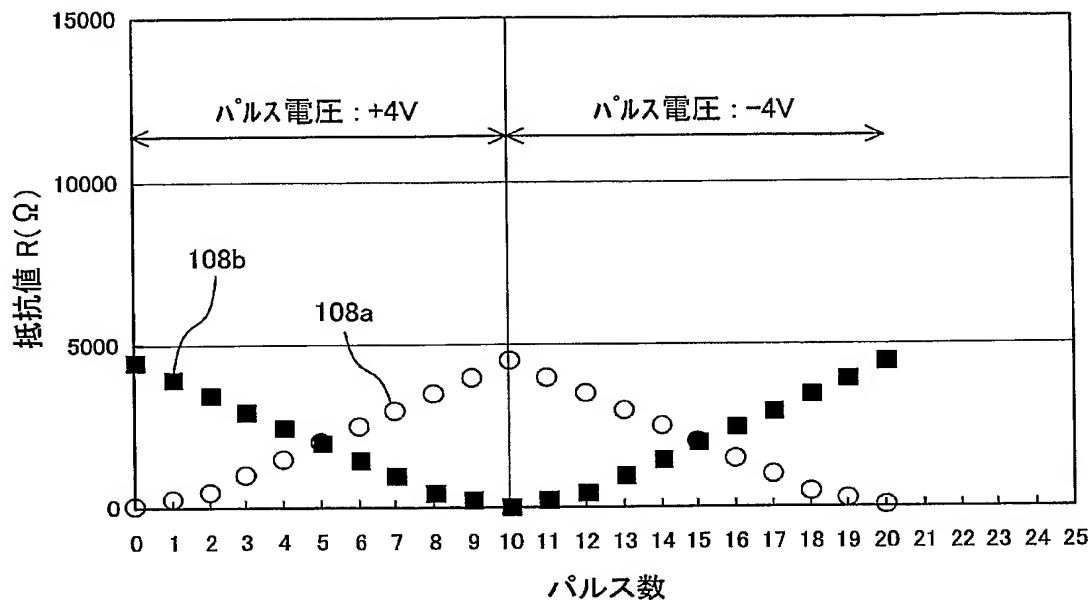


(b) 記録状態を読み出した時の出力電圧

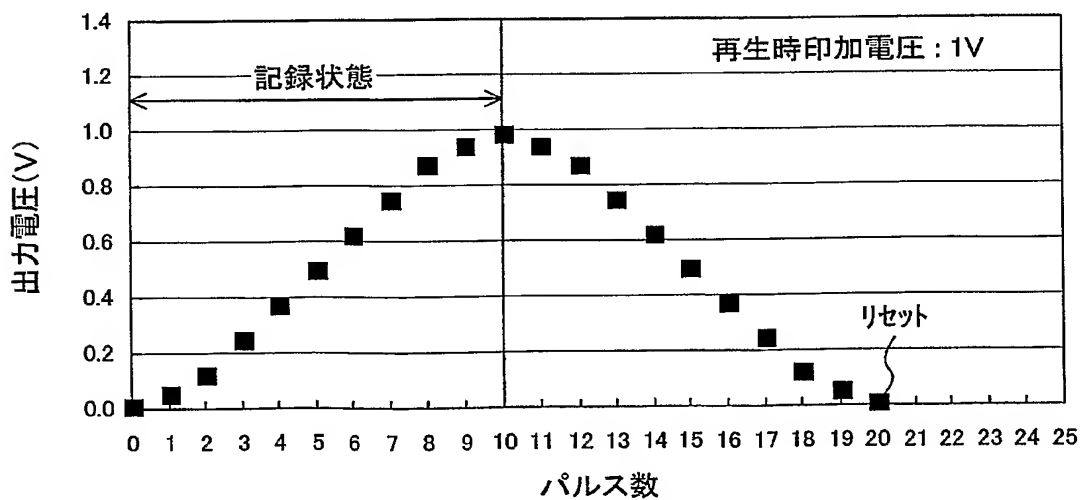


【図 7】

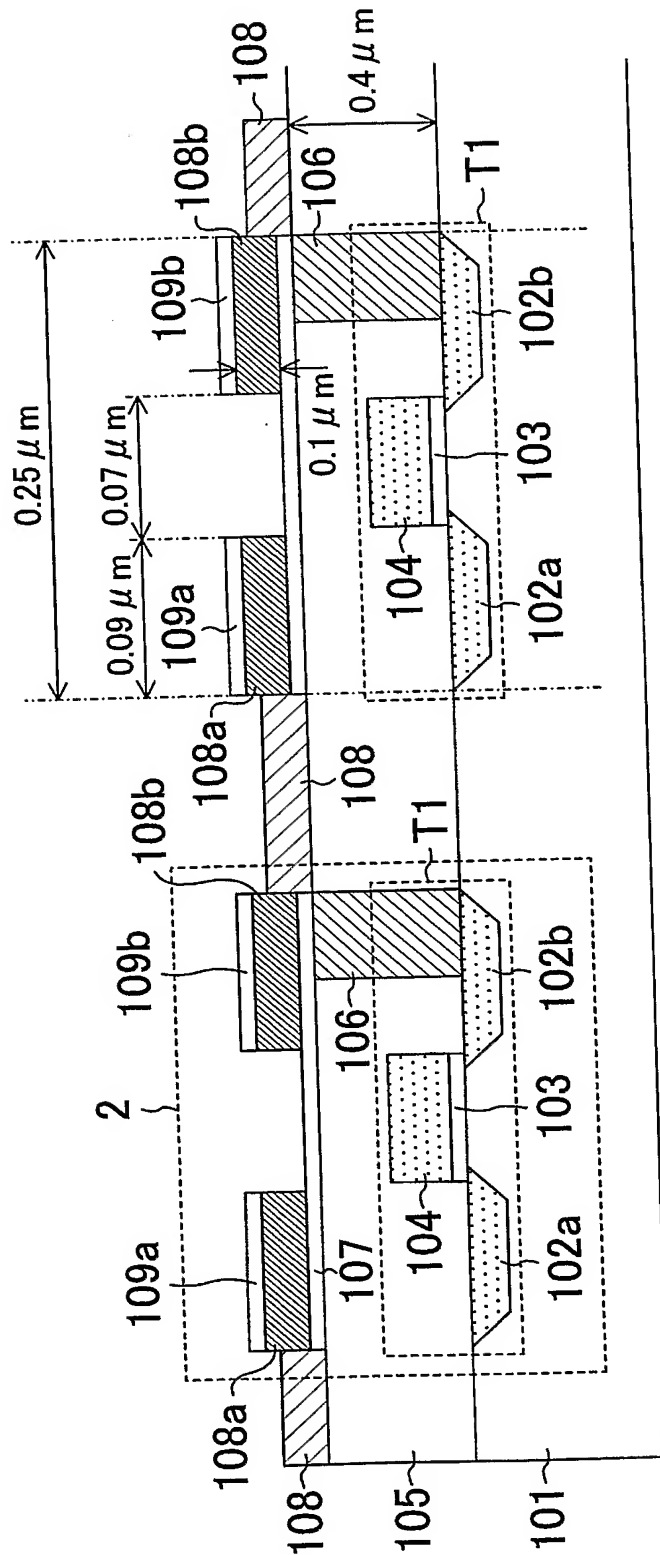
(a) パルス数による抵抗変化



(b) 記録状態を読み出した時の出力電圧



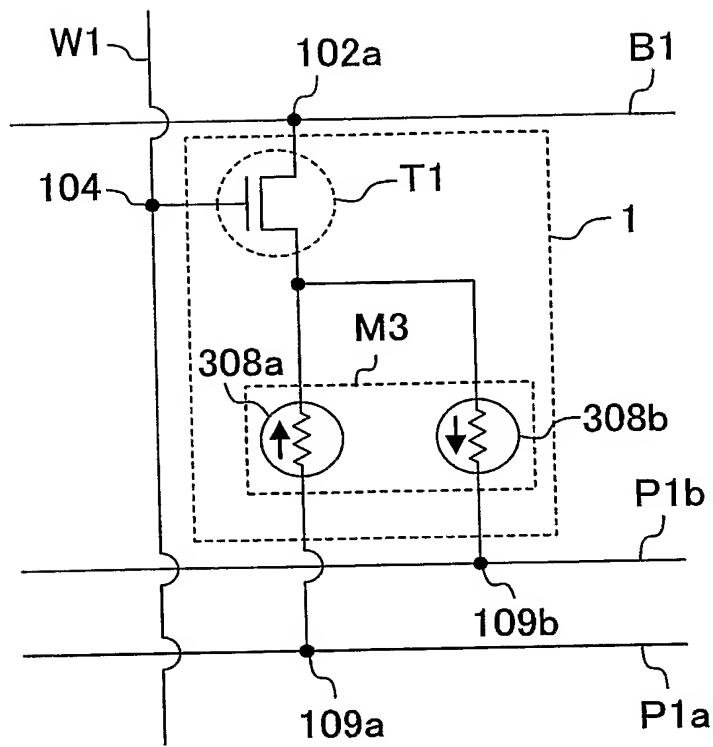
【図 8】





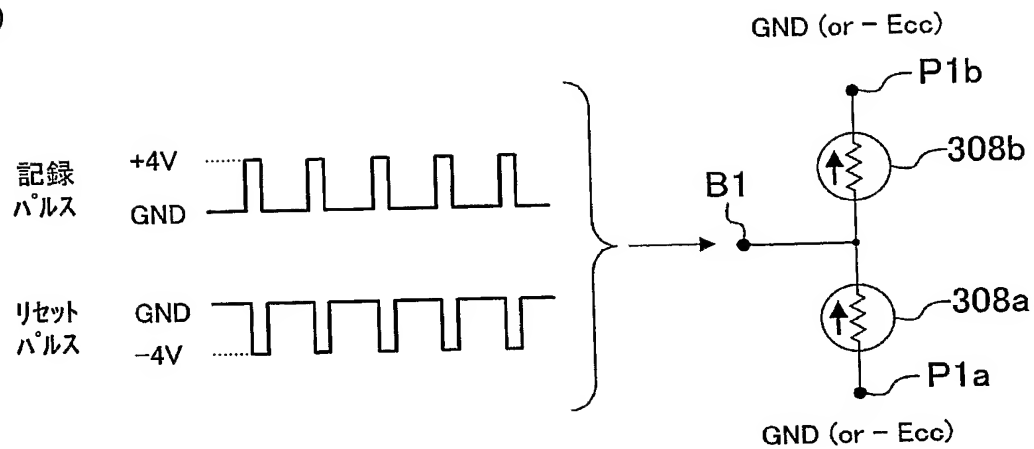


【図 10】

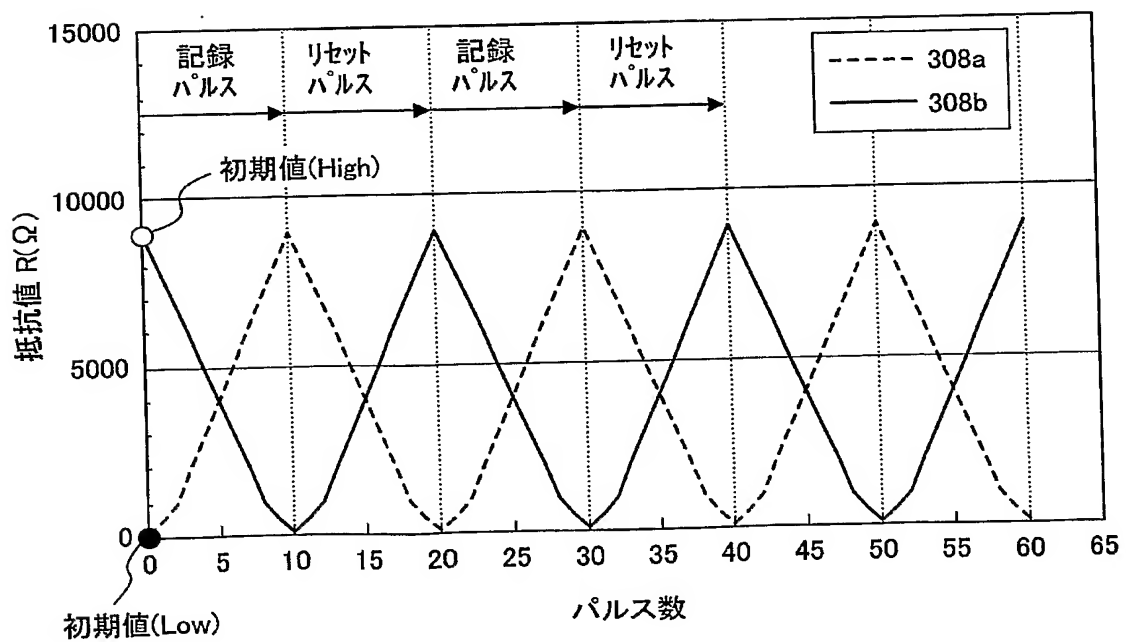


【図 11】

(a)



(b)



## 【書類名】要約書

## 【要約】

【課題】記憶素子の大容量化、書き込み電力の低減、書き込み／読み出し時間の高速化、長寿命化の要求を満たす記憶素子を提供する。

【解決手段】 記憶素子1は、トランジスタ110の上部に保護絶縁膜105、導電膜107、可変抵抗膜108、および電極109a、109bを順次積層した構成を有する。ゲート104に電圧を印加しドレイン領域102aと電極109a、109bとの間に所定のパルス電圧を印加することによって、可変抵抗部108a、108bに2値もしくは多値の情報を書込／消去する。また、電極109aをグランドに落とし電極109bに所定の再生電圧を印加することによって可変抵抗部108a、108bに書き込まれた情報を導電膜107、コンタクトプラグ106、トランジスタT1のソース領域102bを介してトランジスタT1のドレイン領域102aから再生する。

【選択図】 図1

特願 2 0 0 4 - 1 3 1 5 4 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社